

DIALOG(R)File 347:JAPI0

(c) 2004 JPO & JAPI0. All rts. reserv.

07098700 **Image available**

TFT MATRIX PANEL, IMAGE DISPLAY UNIT USING THE SAME AND PHOTOELECTRIC
CONVERSION EQUIPMENT

PUB. NO.: 2001-326356 [JP 2001326356 A]

PUBLISHED: November 22, 2001 (20011122)

INVENTOR(s): YAGI TOMOYUKI

 KOBAYASHI ISAO

APPLICANT(s): CANON INC

APPL. NO.: 2000-142010 [JP 2000142010]

FILED: May 15, 2000 (20000515)

INTL CLASS: H01L-029/786; G02F-001/1368; G09F-009/30; H01L-027/146;
 H01L-031/09

ABSTRACT

PROBLEM TO BE SOLVED: To provide a new TFT matrix panel which can utilize a conventional process technique and moreover can attain a reduction in an electrode resistance of each TFT and a reduction in an area, an image display unit using the same, and a photoelectric conversion equipment.

SOLUTION: In a matrix panel which has a source part, a channel part, a drain part and a gate part, and in which a plurality of TFTs are two-dimensionally laid out on an insulation substrate, a layout structure is formed that the source part, channel part, and drain part are vertically stacked on the insulation substrate, and an insulation layer and a gate electrode are formed on the side face.

COPYRIGHT: (C)2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-326356
(P 2 0 0 1 - 3 2 6 3 5 6 A)
(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
H01L 29/786		G09F 9/30	338 2H092
G02F 1/1368		H01L 29/78	626 A 4M118
G09F 9/30	338	G02F 1/136	500 5C094
H01L 27/146		H01L 27/14	C 5F088
31/09		31/00	A 5F110
審査請求 未請求 請求項の数 7 O L (全21頁)			

(21) 出願番号 特願2000-142010 (P 2000-142010)

(22) 出願日 平成12年5月15日 (2000. 5. 15)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 八木 朋之

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 小林 功

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

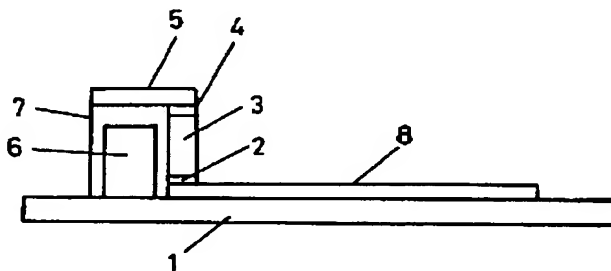
最終頁に続く

(54) 【発明の名称】 TFTマトリックスパネル、および、これを用いた画像表示装置、光電変換装置

(57) 【要約】

【課題】 従来のプロセス技術を利用でき、しかも、個々のTFTの電極抵抗の低減と小面積化が達成できる新規なTFTマトリックスパネル、および、これを用いた画像表示装置、光電変換装置を提供する。

【解決手段】 ソース部、チャネル部、ドレイン部およびゲート部を有し、複数のTFTを、絶縁基板上に2次元的に配列したマトリックスパネルにおいて、前記ソース部、チャネル部、ドレイン部が前記絶縁基板上に、縦方向に積層され、その側面に絶縁層、ゲート電極が形成された配置構造になっていることを特徴とする。



【特許請求の範囲】

【請求項 1】 ソース部、チャンネル部、ドレイン部およびゲート部を有し、複数の TFT を、絶縁基板上に 2 次元的に配列したマトリクスパネルにおいて、前記ソース部、チャンネル部、ドレイン部が前記絶縁基板上に、縦方向に積層され、その側面に絶縁層、ゲート電極が形成された配置構造になっていることを特徴とする TFT マトリクスパネル。

【請求項 2】 請求項 1 に記載された TFT を、画像表示部におけるスイッチング素子として用いることを特徴とする画像表示装置。

【請求項 3】 請求項 1 に記載された TFT を、光電変換部におけるスイッチング素子として用いることを特徴とする光電変換装置。

【請求項 4】 放射線を吸収して発光する蛍光体の、該発光を受光するように、請求項 3 に記載した光電変換部を配置すると共に、前記光電変換部を駆動する IC と、前記光電変換部からの信号を処理する IC とを有することを特徴とする光電変換装置。

【請求項 5】 前記光電変換部の光電変換素子は、絶縁基板側から、下部電極としての第 1 の金属層と、エレクトロンおよびホール通過を阻止するアモルファスシリコン絶縁層 ($a-SiNx$) と、水素化アモルファスシリコン光電変換層 ($a-Si:H$) と、ホールキャリアの注入を阻止する n^+ 型の注入阻止層またはエレクトロンキャリアの注入を阻止する p^+ 型の注入阻止層と、上部電極として前記注入阻止層上の一部に配置した第 2 の金属電極層または透明電極層とで構成されており、前記スイッチング素子は、絶縁基板側から、下部電極と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、 $a-Si:H$ のチャンネル層と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、それらの側面に位置して形成された $a-SiNx$ の絶縁層と、該 $a-SiNx$ 絶縁層で覆われたゲート電極と、その上に形成される第 3 の金属層または透明電極からなる上部電極とで構成されており、前記光電変換素子と前記スイッチング素子とは、同一基板上に同時に形成された各層を利用して、構成されたものであることを特徴とする請求項 3 あるいは 4 に記載の光電変換装置。

【請求項 6】 前記光電変換部の光電変換素子は、絶縁基板側から、下部電極としての第 1 の金属層と、ホールキャリアの注入を阻止する n^+ 型の注入阻止層またはエレクトロンキャリアの注入を阻止する p^+ 型の注入阻止層と、水素化アモルファスシリコン光電変換層 ($a-Si:H$) と、ホールキャリアの注入を阻止する n^+ 型の注入阻止層またはエレクトロンキャリアの注入を阻止する p^+ 型の注入阻止層と、上部電極として前記注入阻止層上の一部に配置した第 2 の金属電極層または透明電極層とで構成されており、前記スイッチング素子は、絶縁基板側から、下部電極と、 n 型か n^+ 型または p 型か p^+

n^+ 型オーミックコンタクト層と、 $a-Si:H$ のチャンネル層と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、その側面に位置して形成された $a-SiNx$ の絶縁層と、該 $a-SiNx$ の絶縁層で覆われたゲート電極と、その上に形成された第 3 の金属層または透明電極からなる上部電極とで構成されており、前記光電変換素子と、前記スイッチング素子は、同一基板上に同時に形成された各層を利用して、構成されたものであることを特徴とする請求項 3 あるいは 4 に記載の光電変換装置。

【請求項 7】 前記光電変換部の光電変換素子は、絶縁基板側から、下部電極としての第 1 の金属層と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、水素化アモルファスシリコン光電変換層 ($a-Si:H$) と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、上部電極として前記オーミックコンタクト層上の一部に配置した第 2 の金属電極層または透明電極層とで構成されており、前記スイッチング素子は、絶縁基板側から、下部電極と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、 $a-Si:H$ のチャンネル層と、 n 型か n^+ 型または p 型か p^+ 型オーミックコンタクト層と、それらの側面に位置して形成された $a-SiNx$ の絶縁層と、該 $a-SiNx$ の絶縁層に覆われたゲート電極と、その上に形成された第 3 の金属層または透明電極からなる上部電極とで構成されており、前記光電変換素子と前記スイッチング素子は、同一基板上に同時に形成された各層を利用して、構成されたものであることを特徴とする請求項 3 あるいは 4 に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイや、エリアセンサなどの装置を高性能化するための、TFT (電界効果トランジスタ) を用いた TFT マトリクスパネル、および、これを用いた画像表示装置、光電変換装置に関するものである。

【0002】

【従来の技術】 近年、コンピュータの普及に伴い、その周辺機器の進歩が急速化している。なかでも、携帯型パーソナルコンピュータのディスプレイとして登場した TFT 液晶ディスプレイでは、現在、CRT ディスプレイと肩を並べる程に、大画面化と高精細化が進んでいる。

【0003】 また、パーソナルコンピュータの普及に伴い、従来までアナログで記録、保存していたデータを、デジタルで記録、保存する動き、所謂、デジタル化が進んでいる。特に、デジタル化が盛んな機器は、カメラ、ビデオカメラや、複写機、画像により診断する医療機器などである。これらの機器は、光を電気信号に変える素子 (撮像素子あるいは光電変換素子) を用い、画像をデジタルデータへ変換している。

【0004】この中で、カメラやビデオカメラのようなものは、光をレンズなどで絞り、小型かつ高画素化が可能であるCCD (charge coupled device) 素子に、入射する方法が一般的になっている。しかし、複写機や画像により診断する医療機器では、レンズなどの光学系を搭載すると機器が大型化することや、光学系を介在させることで画像の歪みが発生することや、元来、原寸大の画像を撮る必要性が高いことから、接触式のエリアセンサーが用いられている。

【0005】このエリアセンサーは、光を電気信号に変換するセンサーとスイッチング素子であるTF Tとの対を、基板上にマトリックス配列したものであり、TF T液晶ディスプレイと構造的に酷似する点が多い。

【0006】

【発明が解決しようとする課題】これら、TF Tを用いたセンサーやディスプレイは、デジタル化機器の普及に伴い、高解像度化と大面積化が要求されており、1センサー素子、1画素の面積は、かなり縮小化している。このことは、1センサー素子が得られる信号の強度や、1画素の輝度の減少につながるため、TF Tや配線部のように、光電変換素子や画素領域としての役割を持たない部分1画素に占める割合を小さくする必要がある。

【0007】このような、TF Tの小型化は、TF Tの電極の断面積が小さくなり、電極の高抵抗化をもたらし、更に、センサーやディスプレイの大面積化は、上述の電極の高抵抗化に拍車をかけることになる。特に、センサーが感知した信号の出力や画素のON/OFFに用いられるTF Tのゲート電極抵抗が高くなると、センサーやディスプレイのリフレッシュレートの低下をもたらすため、TF Tの小型化と併せて、如何に電極の断面積の減少を抑えるかが重要となっている。

【0008】従来、スイッチング素子として、液晶ディスプレイや光センサーに用いられていたTF Tは、大面積に対して均一に形成できる化学気相堆積法(CVD)によって、アモルファスシリコンなどを用いて、作られている。その構造は、絶縁基板上にゲート電極を形成し、その上に絶縁層、チャネル層、ソース、ドレイン層を堆積したボトムゲート型構造を持つものが殆どである。これは、製造工程を簡略化できるためであるが、この場合、ソース、ゲート(チャネル)、ドレインの電極が横に並ぶ形になるので、TF Tの占める面積を小さくしようとすると、必然的にゲート(チャネル)、ソース、ドレインの各部分を小さく作ることが必要になる。

【0009】本発明は、上記事情に基づいてなされたもので、その目的とするところは、従来のプロセス技術を利用でき、しかも、個々のTF Tの電極抵抗の低減と小面積化が達成できる新規なTF Tマトリックスパネル、および、これを用いた画像表示装置、光電変換装置を提供するにある。

【0010】

【課題を解決するための手段】このため、本発明のTF Tマトリックスパネルでは、ソース部、チャネル部、ドレイン部およびゲート部を有し、複数のTF Tを、絶縁基板上に2次元的に配列したマトリックスパネルにおいて、前記ソース部、チャネル部、ドレイン部が前記絶縁基板上に、縦方向に積層され、その側面に絶縁層、ゲート電極が形成された配置構造になっていることを特徴とする。

【0011】また、このTF Tを、画像表示部におけるスイッチング素子として用いることで、画像表示装置を構成することを特徴とする。更に、このTF Tを、光電変換部におけるスイッチング素子として用いることで、光電変換装置を構成することを特徴とする。この場合、光電変換装置は、X線撮像装置などとして用いるために、放射線を吸収して発光する蛍光体の、該発光を受光するように、前記光電変換部を配置すると共に、前記光電変換部を駆動するICと、前記光電変換部からの信号を処理するICとを有するとよい。

【0012】なお、これら、本発明の目的、構成の具体例については、以下の実施の形態において、詳細に説明する。

【0013】

【発明の実施の形態】(実施の形態1)図1には、本発明に係る縦形TF Tの構造が示されている。ここで、符号1はガラスなどの絶縁基板、2はTF T部のオーミックコンタクトを形成する、リンなどをドーピングされたアモルファスシリコンで形成される n^+ 型アモルファスシリコン(a-Si)層、3は水素化アモルファスシリコン(a-Si:H)の真性半導体層で形成されるチャネル層、4はTF T部のオーミックコンタクトを形成する n^+ 型a-Si層、また、5はAlやCrで形成される上部電極層であり、図2のソース(Source)の部分に相当する。

【0014】更に、符号6はAlやCrで形成されるゲート電極、7はゲート電極6とオーミックコンタクト2、チャネル層3、 n^+ 型a-Si層4を電気的に絶縁するためのアモルファス窒化シリコン(a-SiNx)の絶縁層である。また、液晶を配向させるための電極などに用いることができる電極層8は、ITOなどの光透過性のある導電性材料で形成するとよい。この実施の形態における構造は、そのまま、TF T液晶ディスプレイに用いることができる構造でもある。

【0015】ここで、オーミックコンタクト層に n^+ 型a-Si層を用いた縦形TF Tの動作について、図2を用いて説明する。ゲート電極(Gate)6に電圧を印加しない場合、チャネル層は半導体であるため、大きな電圧を、ソース(Source)ードレイン(Drain)間に加えない限り、これらの間に電流は流れない。ゲート電極に正の電圧を印加し、チャネル層3のバンドが平坦になるフラットバンド電圧を過ぎると、チャネル層3と絶縁層7

との界面に、静電誘導により電子が蓄積する(チャネル部が $a-Si:H$ である場合、誘導された電子の一部は、局在する準位にトラップされる)。

【0016】蓄積された電子は、ソースドレイン間の電界によって、チャネル層3 $\rightarrow n^+$ 型 $a-Si$ 層2の方向へ移動する。減った分の電子は、 n^+ 型 $a-Si$ 層(または n^+ 型 $a-Si$ 層3)から供給されるので、 n^+ 型 $a-Si$ 層2 \rightarrow チャネル層3 $\rightarrow n^+$ 型 $a-Si$ 層4の方向へ電流が流れることになる。なお、オーミックコンタクト層に p^+ 型 $a-Si$ 層を用いた縦形TFTの動作については、電気伝導に寄与するキャリアとゲート電圧の正負を逆にすれば良い。

【0017】図3~図12に、この実施の形態において用いるプロセスの概念図を示す。まず、ガラス基板(あるいは絶縁基板)1上にアルミニウム(A1)またはクロム(Cr)を化学気相堆積法(CVD)または、スパッターリングなどで堆積し、フォトリソグラフィとECRプラズマエッチングで、ゲート電極(層)6を形成する。その上に、CVDによって、アモルファス窒化シリコン($a-SiNx$)7'を堆積し(図4を参照)、エッチングにより、ゲート電極6を覆う形態(絶縁層7)に形成する(図5を参照)。

【0018】更に、A1やCrなどの金属や、ITOのような、透明でかつ電気伝導性のある材料を堆積し、不要な部分を取り除き、下部電極(電極層8)を形成する(図6を参照)。その後、 n^+ 型 $a-Si$ 層(オーミックコンタクト2)となるリンドーブのアモルファスシリコンをCVDなどで堆積する。 n^+ 型 $a-Si$ 層2と電極層8に対して、フォトリソグラフィとエッチングを行い、不要な部分を取り除いた後(図7を参照)、チャネル層3となる水素化アモルファスシリコン($a-Si:H$)3'を堆積する(図8を参照)。この堆積した $a-Si:H$ 層の不要な部分を、フォトリソグラフィとエッチングにより取り除き、 $a-Si:H$ 層の膜厚を決定する(図9を参照)。ここで、 $a-Si:H$ 層の膜厚により、TFTのチャネル層3の幅を決定できる。

【0019】次に、 n^+ 型 $a-Si$ 層4'を堆積し(図10を参照)、CVDなどで、電極5となる対応層5'を形成した後(図11を参照)、エッチングにより、TFTになる部分および電極層5以外をすべて削除する(図12を参照)。最後に、耐湿性向上の目的で、各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0020】ここでの各層の膜厚は、デバイス特性を最適なものとするために、最適化されている。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らない。また、前記プロセスでは、オーミックコンタクト2は、 n^+ 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p^+ 型 $a-Si$ でも差し支えない。

【0021】(実施の形態2)図13には、本発明に係

る、光電変換部にPIN型フォトダイオードを有する縦形TFTが概念的に示されている。図13中の、符号101はガラス基板などの絶縁基板、102はTFTのオーミックコンタクトを形成する、リンなどがドーブされた n^+ 型アモルファスシリコン($a-Si$)層、103は水素化アモルファスシリコン($a-Si:H$)で形成されるTFTのチャネル層、104はTFTのオーミックコンタクトを形成する、リンなどがドーブされた n^+ 型 $a-Si$ 層、105はクロムCrまたはAlで形成される上部電極層、106はCrまたはAlで形成されるゲート電極層、107はアモルファス窒素化シリコン($a-SiNx$)の絶縁層であり、チャネル層103、 n^+ 型 $a-Si$ 層102、104とゲート電極106とを電気的に絶縁する。

【0022】また、符号108はCrまたはAlで形成される下部電極層、109はPIN型フォトダイオードにおいて、正の電荷をもつキャリアが下部電極層へ移動しないようにするために、リンなどがドーブされた $a-Si$ により形成される、 n^+ ガードリング層、110はPINダイオードの水素化アモルファスシリコン($a-Si:H$)などで形成される光電変換層、111は負の電荷をもつキャリアが上部金属電極層へ移動しないようにするために、ボロンなどがドーブされた $a-Si$ により形成される、 p^+ ガードリング半導体層、112はCrまたはAlで形成されるセンサ電極層である。なお、図14は、図13において構成される、TFTよりなるスイッチング素子200と、光電変換素子210とを示す等価回路である。

【0023】図15~図26は、この実施の形態において用いるプロセスの概念図を示す。まず、ガラス基板などの絶縁基板101上に下部電極層108となるCrまたはAlの金属層108'を、スパッターまたは化学気相堆積法(CVD)によって堆積し、その上に、PINダイオードの n^+ ガードリング層109とTFTのオーミックコンタクト層102となる n^+ 型 $a-Si$ 層102'をCVDなどにより形成する。そして、フォトリソグラフィとECRプラズマエッチングにより下部金属層と n^+ ガードリング層を必要な形状に形成した後(図15を参照)、ゲート電極層106となるCrまたはAlを、スパッターなどで形成する(図16を参照)。

【0024】その後、絶縁層107を、 $a-SiNx$ 107'などにより、CVDで形成する(図17を参照)。そして、フォトリソグラフィとエッチングにより、この堆積した $a-SiNx$ などの不要な部分を取り除いた後(図18を参照)、 $a-Si:H$ 110'を堆積し(図19を参照)、エッチングやフォトリソグラフィによって、PINダイオードの真性半導体層110を形成する(図20を参照)。この時、TFT部のチャネル幅、PIN型フォトダイオードの光電変換層の膜厚が決定される。

【0025】次に、真性半導体層上に、TFTのオーミックコンタクト層104になる n^+ 型 $a-Si$ 層104'をCVDなどで形成し(図21を参照)、フォトリソグラフィーとECRプラズマエッチングにより、その不要な部分を取り除く(図22を参照)。その後、 p^+ ガードリング層111となる層111'をCVDで形成し(図23を参照)、フォトリソグラフィーとECRプラズマエッチングなどにより、その不要な部分を取り除く(図24を参照)。

【0026】上部電極層105、センサ電極層112をスパッターリングで形成した後、フォトリソグラフィーとECRプラズマエッチングなどによって、その不要な部分を取り除く(図25を参照)。その後、TFT部とPIN型フォトダイオードを、フォトリソグラフィーとECRプラズマエッチングなどで分離する(図26を参照)。そして、最後に、耐湿性向上の目的で各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0027】なお、この実施の形態では、従来の構造とは異なる構造を持ちながら、TFTと光電変換部とを、同時に形成できるのが特徴である。また、ここでは、チャンネル層103、オーミックコンタクト104、ガードリング層109を n^+ 型 $a-Si$ 、ガードリング半導体層111を p^+ 型 $a-Si$ としたが、ガードリング半導体層111を n^+ 型 $a-Si$ 、他のチャンネル層103、オーミックコンタクト104、ガードリング層109を p^+ 型 $a-Si$ としても差し支えない。

【0028】また、前記プロセスでは、オーミックコンタクト部を n^+ 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p^+ 型 $a-Si$ としてもよい。この場合、TFTをオンする場合のゲート電圧はマイナスにする。また、ここでの各層の膜厚は、デバイス特性を最適なものとするために、最適化されたものを使用することとする。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTFTを形成する方法を示したが、本発明の構成を得るには、このように、同時に形成する方法とする必要はない。

【0029】(実施の形態3) 図27は、それぞれ、本発明に係わる第3の実施の形態での、光電変換素子を備えた縦形TFTを説明するための模式的断面図であり、図28は、図27において構成される、TFTよりなるスイッチング素子と、光電変換素子とを示す等価回路である。なお、図27において、点線枠で括った400がTFT部であり、410が光電変換素子である。

【0030】ここで、符号301はガラスなどの絶縁基板、302はTFT部のオーミックコンタクトを形成する n^+ 型アモルファスシリコン($a-Si$)層、303は水素化アモルファスシリコン($a-Si:H$)の真性半導体層で形成されるチャンネル層、304はTFT部の

オーミックコンタクトを形成する n^+ 型 $a-Si$ 層、305はAlやCrで形成される上部電極層であり、図28のソース部分(S)に相当する。また、306はAlやCrで形成されるゲート電極で、図2のゲートに相当する。また、符号307は、オーミックコンタクト302、チャンネル層303、オーミックコンタクト304を電気的に絶縁するための窒化シリコン($a-SiNx$)の絶縁層である。

【0031】また、光電変換素子410において、符号308はAlやCrで形成される下部電極層であり、図28のドレイン部分(D)と共通である。また、309は電子、ホールともに通過を阻止する $a-SiNx$ などで形成される絶縁層、310は $a-Si:H$ の真性半導体層で形成される光電変換層、311は光電変換半導体層310に電極312からホールの注入を阻止する $a-Si$ の n^+ 層で形成される注入阻止層であり、また、センサー電極312は、光電変換素子310にバイアスを加えるための電極で、AlまたはCrのような金属電極またはITOのような透明電極である。

【0032】次に、この実施の形態におけるデバイスの製造方法について説明する。なお、図29～図37には、この実施の形態での製造プロセスが順次、概念的に示されている。まず、絶縁基板301上にアルミニウム(Al)またはクロム(Cr)を、化学気相堆積法(CVD)またはスパッターリングなどで堆積し、フォトリソグラフィーとECRプラズマエッチングなどにより、下部電極層308、ゲート電極層306を形成する(図29を参照)。

【0033】その上に、CVDによって、窒化シリコン($a-SiNx$)309'を堆積し(図30を参照)、さらに、水素化アモルファスシリコン($a-Si$)310'を堆積する(図31を参照)。そして、 $a-Si:H$ 層の不要な部分を、フォトリソグラフィーとECRプラズマエッチングなどで取り除き、光電変換層310を形成した後、 n^+ 型 $a-Si$ 層302を堆積するため、フォトリソグラフィーとECRプラズマエッチングで絶縁層307と1層309間に溝を形成し、同時に絶縁層309、と307に分離する(図32を参照)。

【0034】次いで、 n^+ 型 $a-Si$ 層302を堆積し(図33を参照)、最適な膜厚にエッチングし、その後 n^+ 層302を埋めるようにI層を堆積させ(図34を参照)、不要な部分をフォトリソグラフィーとECRプラズマエッチングなどで取り除く。ここで、上記 n^+ 型 $a-Si$ 層の膜厚とチャンネル層303の膜厚により、チャンネル幅を決めることができる。また、チャンネル部303の高さを精度良く形成するために、 n^+ 型 $a-Si$ 層305は、イオン打ち込みで、チャンネル部303にリンをドーピングする方法を用いることも可能である。

【0035】最後に、注入阻止層311と n^+ 型 $a-Si$ 層304を堆積し(図35を参照)、電極305、3

12を形成する(図36を参照)。その後、ECRプラズマエッチングなどにより、TF Tのチャネル部と光電変換層を分離する(図37を参照)。最後に、耐湿性向上の目的で各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0036】このように、他のデバイスとTF Tとを共通の材料や共通のプロセスで作製できることが、この実施の形態の特徴である。ここで、各層の膜厚は、デバイス特性を最適なものとするために、最適化される。また、前記プロセスでは、オーミックコンタクト部を n' 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p' 型 $a-Si$ で構成しても差し支えない。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTF Tを形成する方法を示したが、同時に形成する方法のみで構成されとは限らない。

【0037】以上の実施の形態では、最初にゲート電極を形成する方法を示した。この方法は、層の堆積でゲート電極、絶縁層、チャネル層を形成できるので、これらの界面を平坦に形成できることが特徴であるが、一方で、製造行程が多くなることが問題となる。そこで、各半導体および金属層を連続して堆積することで、製造プロセスを共通化し、前述より、更に行程を簡略化した縦形TF Tの作成方法を、以下に示す。

【0038】(実施の形態4)図38～図46には、本発明の第4の実施の形態に係わる各半導体層および金属層を連続して堆積するプロセスを用いて、縦形TF Tを製造する場合が、逐次的に図解されている。なお、各部の名称は、図1で使用した物と同じものを用いる。

【0039】まず、ガラスなどの絶縁性基板1に、AlやCrなどの金属やITOのような、透明でかつ電気伝導性のある材料をスパッターまたはCVDの手段で積層し、下部電極層8を形成する(図38を参照)。その上に、TF Tのオーミックコンタクト層を形成する、リンなどがドーブされた n' 型 $a-Si$ 層2、チャネル層を形成する $a-Si:H$ 層3、リンなどがドーブされた n' 型 $a-Si$ 層4を、順番に、CVDなどにより堆積する(図39を参照)。

【0040】その後、ゲート電極6が形成される部分において、堆積層を、ECRプラズマエッチングとリソグラフィを用いてエッチングする(図40を参照)。そして、絶縁層7となる $a-SiNx$ などを、CVDなどにより、必要な厚さに堆積した後(図41を参照)、ゲート電極層6となるAlまたはCrなどの金属を堆積する(図42を参照)。そして、堆積したゲート電極の不要な部分を、フォトリソグラフィとECRプラズマエッチングなどで、エッチングし、CVDなどにより、絶縁層となる $a-SiNx$ などを堆積し、ゲート金属層6を絶縁層で覆う(図43)。その後、絶縁層7の不要な部分をエッチングで除去し(図44を参照)、AlやC

rなどの金属、または、ITOを堆積し、上部金属層5を形成する(図45を参照)。TF Tとなる部分と下部電極層8以外のECRプラズマエッチングとを、リソグラフィを用いて、エッチングする(図46を参照)。最後に、耐湿性向上の目的で、各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0041】ここで、各層の膜厚は、デバイス特性を最適なものとするために、最適化される。また、前記プロセスでは、オーミックコンタクト部を n' 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p' 型 $a-Si$ で構成してもよい。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTF Tを形成する方法を示したが、同時に形成する方法のみに限らない。

【0042】(実施の形態5)図47～図55には、本発明の第5の実施の形態に係る、各半導体層および金属層を連続して堆積するプロセスを用いた、PIN型フォトダイオードを有する縦形TF Tの製造方法が順次、図解されている。なお、ここでは、各部の名称を図13に準じる。

【0043】まず、ガラスなどの絶縁性基板101に、AlやCrなどの金属やITOのような、透明でかつ電気伝導性のある材料を、スパッターまたはCVDで積層して、下部電極層108を形成する(図47を参照)。その上にTF Tのオーミックコンタクト層である n' 型 $a-Si$ 層102、および、正の電荷をもつキャリアが下部電極層へ移動しないようにするための n' 型ガードリング層109となる、リンなどがドーブされたアモルファスシリコン層109'を形成し、また、チャネル層103を形成するための $a-Si:H$ 層、および、負の電荷をもつキャリアがセンサ電極層へ移動しないようにするための p' 型ガードリング層110となるボロンなどがドーブされたアモルファスシリコン層110'を、順番にCVDなどで堆積する。

【0044】その後、TF Tのオーミックコンタクト層となる n' 型 $a-Si$ 層104を形成する部分の p' 型ガードリング層104'を、ECRプラズマエッチングとリソグラフィを用いてエッチングする(図48を参照)。その後、リンなどがドーブされたアモルファスシリコンを、CVDなどで堆積し、不要な部分をエッチングすることで、 n' 型 $a-Si$ 層104とする。これら堆積層からゲート電極106が形成される部分を、ECRプラズマエッチング法などで、エッチングすることにより、除去する(図49を参照)。

【0045】更に、絶縁層107となる $a-SiNx$ などを、CVDなどにより、必要な厚さに堆積した後(図50を参照)、ゲート電極層106となるAlまたはCrなどの金属を堆積する。そして、堆積したゲート電極の不要な部分を、ECRプラズマエッチングとリソグラフィを用いてエッチングし(図51を参照)、更に、

絶縁層107となる $a-SiNx$ などをCVDなどで堆積し、ゲート金属層106を絶縁層107で覆う(図52を参照)。その後、絶縁層107の不要な部分をエッチングにて除去し(図53を参照)、更に、上部金属層105およびセンサ電極112を形成するために、AlまたはCrなどの金属またはITOなどの透明な、電気伝導性を有する材料112'を、CVDおよびスパッターによって、堆積する(図54を参照)。その後、堆積した電極層112'を、上部電極層105とセンサ電極層112とをエッチングにより分離し、最後に、光電変換部であるPIN型フォトダイオードとTFETとを、下部電極層を除いてトレンチ状にエッチングすることで、分離する(図55を参照)。最後に、耐湿性向上の目的で各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0046】ここで、各層の膜厚は、デバイス特性を最適なものとするために最適化される。また、前記プロセスでは、オーミックコンタクト部を n^+ 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p^+ 型 $a-Si$ にしても差し支えない。さらに、上記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTFETを形成する方法を示したが、その構成のためには、他の方法でもよい。

【0047】(実施の形態6)図56～図63には、本発明に係わる第6の実施の形態が、即ち、各半導体および金属層を連続して堆積するプロセスを用いた光電変換素子を有する縦形TFETの製造方法が、順次に図解されている。なお、ここでの各部の名称は図27に準じる。

【0048】まず、ガラスなどの絶縁性基板301に、下部電極層308をAlやCrといった金属やITOのような透明でかつ電気伝導性のある材料をスパッターまたはCVDで形成する。光電変換層301で発生したキャリアが下部電極層308へ通過することを阻止するための絶縁層309を $a-SiNx$ などでCVDなどを用いて堆積させる。その後、絶縁層309をセンサー面積と素子分離に必要な面積を除いてエッチングなどにより取り除く(図56を参照)。

【0049】さらに、TFETのオーミックコンタクト層である n^+ 型 $a-Si$ 層302となる、リンなどがドーピングされた n^+ 型 $a-Si$ 層をCVDなどで堆積する。その後、絶縁層309を形成する $a-SiNx$ 層と重なる上述の n^+ 型 $a-Si$ 層は、リソグラフィーとECRプラズマエッチングを用いて取り除く。

【0050】そして、チャンネル層303を形成する $a-Si:H$ 層と、TFETのオーミックコンタクト層となる n^+ 型 $a-Si$ 層304とを、順にCVDなどで堆積する(図57を参照)。この堆積層の、ゲート電極306が形成される部分を、リソグラフィーとECRプラズマエッチングを用いて取り除く(図58を参照)。そして、絶縁層307となる $a-SiNx$ などを、CVDな

どで、必要な厚さに堆積した後(図59を参照)、ゲート電極層306となるAlまたはCrなどの金属を堆積する。この堆積したゲート電極の不要な部分を、ECRプラズマエッチングなどでエッチングし(図60を参照)、絶縁層となる $a-SiNx$ などをCVDなどで堆積し(図61を参照)、ゲート金属層307を絶縁層で覆う。

【0051】次いで、絶縁層307の不要な部分をエッチングで除去した後、上部金属層305およびセンサ電極312を形成するため、AlまたはCrなどの金属またはITOなどの、透明なかつ電気伝導性を有する材料312'を、CVDおよびスパッターで堆積する(図62を参照)。その後、堆積した電極層312'を、上部電極層とセンサ電極層をエッチングにより分離し、最後に、光電変換素子とTFETとの間を、下部電極層を除いて、トレンチ状にエッチングすることで分離する(図63を参照)。最後に、耐湿性向上の目的で各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0052】ここで、各層の膜厚は、デバイス特性を最適なものとするために、最適化される。また、前記プロセスでは、オーミックコンタクト部を n^+ 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p^+ 型 $a-Si$ でもかまわない。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTFETを形成する方法が示されているが、同時に形成する方法に限らない。

【0053】(実施の形態7)図64には、本発明の第7の実施の形態が示されており、ここでは、NIN型光電変換素子を有する縦形TFETが、模式的に図解されている。なお、図10中の破線で囲った600がTFET部、601がNIN型光電変換部である。

【0054】ここで、符号501はガラス基板などの絶縁基板、502はTFETのオーミックコンタクトを形成する、リンなどがドーピングされた n^+ 型 $a-Si$ 層、503は水素化アモルファスシリコン($a-Si:H$)で形成されるTFETのチャンネル層、504はTFETのオーミックコンタクトを形成する、リンなどがドーピングされた n^+ 型 $a-Si$ 層、505はクロムCrまたはAlで形成される上部電極層、506はCrまたはAlで形成されるゲート電極層、507は $a-SiNx$ の絶縁層であり、この絶縁層507は、チャンネル層503、 n^+ 型 $a-Si$ 層502および504とゲート電極層506とを電氣的に絶縁する。

【0055】また、符号508はCrまたはAlで形成される下部電極層であり、509はNIN型光電変換素子において、下部電極層508とオーミックコンタクトをとるため、リンなどがドーピングされた $a-Si$ で形成される、 n^+ 型 $a-Si$ 層である。更に、符号510はNIN光電変換素子の光電変換部にあたるI層を形成す

る、 $a-Si:H$ などで形成される光電変換層、上部金属電極層とオーミックコンタクトをとるため、リンなどがドーピングされた $a-Si$ で形成される、 n^+ 型 $a-Si$ 層、512はCrまたはAlで形成されるセンサ電極層である。

【0056】次に、図65～図72を参照して、各半導体および金属層を連続して堆積するプロセスを用いたPIN型光電変換素子を有する縦形TFTの製造方法を示す。ここで、各部の名称は図64に準ずる。まず、ガラスなどの絶縁性基板501に、下部電極層508をAlやCrなどの金属やITOのような、透明でかつ電気伝導性のある材料を、スパッターまたはCVDで形成する(図65を参照)。その上にセンサー、TFTのオーミックコンタクト層を形成する、リンなどがドーピングされた n^+ 型 $a-Si$ 層(502、509)、チャンネル層を形成する $a-Si:H$ 層(503、510)、リンなどがドーピングされた n^+ 型 $a-Si$ 層(504、511)を順番にCVDなどで堆積する(図66を参照)。その後、堆積層の、ゲート電極507が形成される部分を、ECRプラズマエッチングとリソグラフィーを用いてエッチングする(図67を参照)。そして、絶縁層507となる $a-SiNx$ などをCVDなどで必要な厚さに堆積する(図68を参照)。その後、ゲート電極層506となるAlまたはCrなどの金属を堆積する。堆積したゲート電極の不要な部分をリソグラフィーとECRプラズマエッチングを用いて除去し(図69を参照)、絶縁層となる $a-SiNx$ などをCVDなどで堆積し、ゲート金属層506を絶縁層で覆う(図70を参照)。

【0057】そして、絶縁層507の不要な部分をエッチングで除去した後、上部金属層505およびセンサ電極層512を形成するAlまたはCrなど金属を堆積し(図71を参照)、不要な部分をリソグラフィーとECRプラズマエッチングで除去する。そして、TFTとなる部分と光電変換素子部を分離するため、トレンチ状の溝をリソグラフィーとエッチングを用いて形成する(図72を参照)。最後に、耐湿性向上の目的で各素子、各配線類を $a-SiNx$ などの保護膜(図示せず)で被覆する。

【0058】ここで、各層の膜厚は、デバイス特性を最適なものとするために、最適化される。また、前記プロセスでは、オーミックコンタクト部を n^+ 型 $a-Si$ としたが、 n 型 $a-Si$ や p 型 $a-Si$ 、 p^+ 型 $a-Si$ でもかまわない。さらに、前記プロセスに用いる材料は、非結晶、多結晶、結晶に限らず、また、光電変換素子と同時にTFTを形成する方法を示したが、同時に形成する方法のみに限らない。

【0059】このように、この実施の形態は、第5の実施の形態とほぼ同じ製造プロセスを用いることができるので、一つの生産過程で、ディスプレイとエリアセンサーを並行して生産できる特徴がある。

【0060】(実施の形態8)図73には、本発明に係わる第1および第4の実施の形態における、 3×3 のマトリクス状配列の、第1の実施形態での縦形TFTを用いた液晶ディスプレイが模式的に示されている。

【0061】なお、図73に示す符号の中で、図1にあるものと同じものを用いて表示している。また、符号700は画素に電圧を加えるための信号線であり、この信号線700は上部電極層5と同時に形成することも可能である。

【0062】液晶ディスプレイの駆動は、ゲート電圧駆動集積回路(IC)と、データ電圧駆動ICで行われる。1本のゲート線のゲート電圧を、TFTがONできる正の電圧にし、液晶を反転させるべき画素のある信号線に、データ電圧回路から必要な電圧を印加し、液晶を反転させる。この動作を、ディスプレイの上から下もしくは、下から上へ、順次、行うことで画像を表示するのである。

【0063】図1において絶縁層7に覆われたゲート電極6は、図73においては、ゲート電極であると同時に、隣接する画素のゲート電極へと電圧を加えるための配線をも兼ねている。よって、マトリクス全体において、ゲート電極の占める割合を小さくすることができ、感度の増加を期待できる。なお、この実施の形態では、 3×3 のマトリクス状配列の液晶ディスプレイを示したが、マトリクス状配列の大きさは、 3×3 に限らない。

【0064】(実施の形態9)図74には、本発明に係わる第2および第5の実施の形態において、 3×3 のマトリクス状配列の、第2の実施形態でのPIN型フォトダイオードを有する縦形TFTを用いたエリアセンサーが、模式的に示されている。

【0065】なお、図74に示す符号の中で、図13にある符号のものは、同じものである。また、800は、センサ光電変換により得られたキャリアを読み出し部へ送るための信号線であり、この信号線800は、上部電極層205と同時に形成することも可能である。

【0066】図13において絶縁層207に覆われたゲート電極206は、図74に示されるように、ゲート電極であると同時に、隣接するセンサー素子のゲート電極へと電圧を加えるための配線を兼ねている。よって、マトリクス全体において、ゲート電極の占める割合を小さくすることができ、感度の増加を期待できる。

【0067】なお、801は読み出し用アンプであり、センサから信号線を介して送られてきたキャリアを、電圧または電流として出力する。802は信号線を接地し、容量に蓄積した電荷を無くす際に用いるスイッチング素子、803は、読出すラインを選択するためのスイッチング回路、804はTFTのオン/オフを司り、各ラインのゲート電極に決まったタイミングで電圧を加えることができるシフトレジスタなどであり、805はP

INフォトダイオードにバイアスを加えるための電源である。これら全ては、ICによって構成されて、センサ部と別であってもかまわない。また、ここでは、 3×3 のマトリックス状配列のエリアセンサーを示したが、マトリックス状配列の大きさは 3×3 に限らない。

【0068】次に、PIN型フォトダイオードを有する縦形TF Tを用いたエリアセンサの駆動方法を説明する。エリアセンサの動作は、駆動する順に、蓄積動作、画像読み出し動作の2つの駆動状態に分けることができる。

【0069】蓄積動作は、ゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TF Tをオフした状態で、マトリックスすべてのPINフォトダイオードに逆バイアス（ここでは、負の電圧）を印加する。こうすることで、フォトダイオードとTF Tとの間の容量に、光電変換で発生したキャリアを蓄積できる。この状態では、PIN型フォトダイオードのエネルギーバンドは、図75のようになり、光電変換層で発生した正の電荷を持つキャリアは、 n' ガードリング半導体層に阻まれるので、TF T方向には流れない。逆に、負の電荷を持つキャリアは、 p' ガードリング半導体層ダイオードにバイアスを掛ける電源側には流れにくくなるため、TF Tとフォトダイオードとの間の容量に効率よく蓄積させられる。

【0070】画像読み出しは、エリアセンサにおける横1列のTF Tのゲート電極に正の電圧を印加し、TF Tを一斉にオンさせ、TF Tとフォトダイオードとの間の容量に蓄積した電荷を信号線に送り、アンプで読出す信号線を選択し、1画素の信号を読出す。その後、読み出し動作が終わった画素の電荷をリセットするため、隣りの画素を読出す前に、信号線800をグランド電位にする。この動作を繰り返すことで、センサの横1ラインのデータを読出せる。横1ラインの読み出しを終え、ゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TF Tをオフし、次のラインの読み出し動作を行う。エリアセンサすべての読み出しは、順次、各ラインを駆動することで行う。

【0071】読み出し動作にかかる時間を短縮するために、読み出し用のアンプを信号線の数だけ用意し、横ラインを同時に読んでもかまわない。また、ある決まった数の信号線の読み出しを行うように、アンプを用意して、横1ラインにおける複数のセンサの読み出しを同時に行ってもかまわない。さらに、信号線をエリアセンサのある部分を境に分割し、二つのゲート電圧駆動用のシフトレジスタと、上下に読み出し用アンプとを用意して、エリアセンサの上下同時に読み出しを行ってもかまわない。この場合、ゲート線を分割し、エリアセンサを4分割して読み出しを行うような拡張も可能である。

【0072】（実施の形態10）図76には、本発明に係わる第3および第6の実施の形態について、 3×3 の

マトリックス状配列の、第3の実施の形態での光電変換素子を有する縦形TF Tを用いたエリアセンサが模式的に示されている。

【0073】なお、図76に示す符号の中で、図5にある符号のものは、同じものである。また、900はセンサにおいて光電変換により発生したキャリアを読み出し部へ送るための信号線であり、この信号線900は、上部電極層305と同時に形成することも可能である。

【0074】図5において絶縁層307に覆われたゲート電極306は、図76に示すように、ゲート電極であると同時に、隣接するセンサ素子のゲート電極へと電圧を加えるための配線を兼ねている。よって、マトリックス全体において、ゲート電極の占める割合を小さくすることができ、感度の増加を期待できる。

【0075】なお、901は読み出し用アンプであり、センサから信号線を介して送られてきたキャリアを、電圧または電流として出力する。902は信号線を接地し、信号線およびTF T-光電変換部の容量に蓄積した電荷を無くし、信号線をリフレッシュする際に用いるスイッチング素子、903は、読出すラインを選択するためのスイッチング回路、903はTF Tのオン/オフを司り、各ラインのゲート電極に、決まったタイミングで、電圧を加えることができるシフトレジスタなどである。

【0076】また、905は光電変換素子に逆バイアスを加えるための電源、906は電源905よりも電圧が低いか、正負が逆の電圧を発生するセンサリフレッシュ用電源、907は光電変換素子に加えるバイアスを切り替えるスイッチング回路である。これら全ては、ICによって構成されて、センサ部と別であってもかまわない。なお、ここでは、 3×3 のマトリックス状配列のエリアセンサーを示したが、マトリックス状配列の大きさは 3×3 に限らない。

【0077】次に、光電変換素子を有する縦形TF Tを用いたエリアセンサの駆動方法を説明する。ここでは、エリアセンサの動作、リフレッシュ動作、蓄積動作、画像読み出し動作、の3つの駆動状態に分けることができる。

【0078】蓄積動作は、ゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TF Tをオフした状態で、電源906にセンサを接続し、マトリックスすべての光電変換素子に逆バイアス（ここでは、負の電圧）を印加する。こうすることで、光電変換素子の $a-SiNx$ で形成される絶縁層と $a-Si:H$ で形成される光電変換層との界面に、光電変換で発生したキャリアを蓄積できる。この状態では、光電変換素子のエネルギーバンドは、図77のようになり、光電変換層で発生した正の電荷を持つキャリアは n' 型 $a-Si$ 層に阻まれるので、電源905側には流れず、絶縁層と、光電変換層の界面に蓄積する。

【0079】画像読み出しは、エリアセンサにおいて横1列のTFTのゲート電極に正の電圧を印加し、TFTを一斉にオンさせ、光電変換部に蓄積した電荷を信号線に送り、読み出す信号線を選択し、アンプで信号として読み出す。この動作を繰り返すことで、センサの横1ラインのデータを読み出せる。横1ラインの読み出しを終わるとゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TFTをオフし、つぎのラインの読み出し動作を行う。エリアセンサすべての読み出しは、順次、各ラインを駆動することで行う。

【0080】リフレッシュ動作は、絶縁層と光電変換層の界面に蓄積したキャリアを、光電変換素子から吐き出すため、まず、スイッチング回路907により、光電変換素子に加える電圧をリフレッシュ電圧に変える。それと同時に、エリアセンサのすべてのTFTをオンし、信号線を1本ずつ接地電位にすることで、下部金属電極層ならびに信号線に蓄積した電荷を取り除く。また、光電変換層に蓄積した電荷は電源部に流れる。

【0081】実際の駆動においては、最も良い画像が得られるように、リフレッシュ動作、蓄積動作、読み出し動作を組み合わせる配慮がなされる。即ち、読み出し、リフレッシュ動作にかかる時間を短縮するために、読み出し用アンプ901、スイッチング素子902を信号線の数だけ用意し、横ラインを同時に読み出し、または、リフレッシュしてもかまわない。また、ある決まった数の信号線の読み出し、リフレッシュを行うように、アンプ901とスイッチ素子902を用意して、横1ラインにおける複数のセンサの読み出しとリフレッシュとを、同時に行ってもかまわない。

【0082】さらに、信号線をエリアセンサのある部分を境に分割し、二つのゲート電圧駆動用のシフトレジスタと、上下にアンプ901とスイッチ素子902を用意して、エリアセンサの上下同時に読み出し、リフレッシュを行ってもかまわない。この場合、ゲート線を分割し、エリアセンサを4分割して読み出し、リフレッシュを行うような拡張が可能である。

【0083】(実施の形態11) 図78には、本発明に係わる第7の実施の形態において、3×3のマトリクス状配列のNIN型フォトダイオードを有する縦形TFTを用いたエリアセンサが模式的に示されている。

【0084】図78に示す符号の中で、図64にある符号のものは、同じものである。また、1000はセンサ光電変換により得られたキャリアを、読み出し部へ送るための信号線であり、この信号線1000は、上部電極層505と同時に形成することも可能である。

【0085】図64において絶縁層507に覆われたゲート電極506は、図78においては、ゲート電極であると同時に、隣接するセンサー素子のゲート電極へと電圧を加えるための配線を兼ねている。よって、マトリクス全体において、ゲート電極の占める割合を小さくす

ることができ、感度の増加を期待できる。

【0086】なお、1001は読み出し用アンプであり、センサから信号線を介して送られてきたキャリアを電圧または電流として出力する。1002は信号線を接地し、容量に蓄積した電荷を無くす際に用いるスイッチング素子、1003は読み出すラインを選択するためのスイッチング回路、1004はTFTのオン/オフを司り、各ラインのゲート電極に決まったタイミングで電圧を加えることができるシフトレジスタなどである。また、1005はNINフォトダイオードにバイアスを加えるための電源である。これら全ては、ICによって構成されて、センサ部と別であってもかまわない。なお、ここでは、3×3のマトリクス状配列のエリアセンサを示したが、マトリクス状配列の大きさは3×3に限らない。

【0087】次に、NIN型フォトダイオードを有する縦形TFTを用いたエリアセンサの駆動方法を説明する。エリアセンサの動作は、駆動する順に、蓄積動作、画像読み出し動作の2つの駆動状態に分けることができる。

【0088】蓄積動作は、ゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TFTをオフした状態で、マトリクスすべてのPINフォトダイオードに正のバイアスを印加する。ここで、光がセンサに照射されると、光電変換層の電気抵抗が減少し、フォトダイオードとTFTとの間の容量にキャリアを蓄積できる。

【0089】画像読み出しは、エリアセンサにおける横1列のTFTのゲート電極に、正の電圧を印加し、TFTを一斉にオンさせ、TFTとフォトダイオードとの間の容量に蓄積した電荷を、信号線に送り、アンプで読み出す信号線を選択し、1画素の信号を読み出す。その後、読み出し動作が終わった画素の電荷をリセットするため、隣りの画素を読み出す前に、信号線1000をグランド電位にする。

【0090】この動作を繰り返すことで、センサの横1ラインのデータを読み出せる。そして、横1ラインの読み出しを終わるとゲート電圧を0か、0に近い正の電圧、または、負の電圧にし、TFTをオフし、つぎのラインの読み出し動作を行う。このように、順次、各ラインを駆動し、エリアセンサ全体の信号を出力させる。

【0091】なお、読み出し動作にかかる時間を短縮するために、読み出し用のアンプを信号線の数だけ用意し、横ライン同時に読んでかまわない。また、ある決まった数の信号線の読み出しを行うようにアンプを用意して、横1ラインにおける複数のセンサの読み出しを同時に行ってもよい。さらに、信号線をエリアセンサのある部分を境に分割し、二つのゲート電圧駆動用のシフトレジスタと、上下に読み出し用アンプとを用意して、エリアセンサの上下同時に読み出しを行うこともできる。

この場合、ゲート線を分割し、エリアセンサを4分割し

10

20

30

40

50

て読み出しを行字ような拡張が可能である。

【0092】

【発明の効果】本発明は、以上詳述したようになり、チャネル層、絶縁層、ゲート電極が縦一列に並ぶ構造となるので、一画素または一センサに占めるTFTの割合が小さくなり、TFT液晶ディスプレイや光センサにおいて、より高解像度化が可能となる。また、本発明によれば、ゲート電極を縦長に設計することができるので、ゲート電極の断面積の減少を抑えることができ、従来の構造をもつTFTを有する画素の面積を縮小した場合よりも高速駆動を可能とすることができ、さらに、光電変換部とTFTとを同時に形成することができる。

【0093】また、 $a-Si:H$ を用いたTFTにおいて、光照射による構造欠陥の誘起は性能劣化において大きな問題であるが、本発明によれば、TFTを用いたチャネル部が縦型であることから、光が照射される面積が非常に小さいため、光照射によるTFTの特性劣化は小さくなり、耐久性の高いセンサやディスプレイを提供できる。

【図面の簡単な説明】

【図1】本発明に係わる第1の実施の形態を示す縦型TFTの構造図である。

【図2】同じく、電氣的構成を示す図である。

【図3】同じく、縦型TFTを製造するプロセス順序(1)を示す説明図である。

【図4】同じく、縦型TFTを製造するプロセス順序(2)を示す説明図である。

【図5】同じく、縦型TFTを製造するプロセス順序(3)を示す説明図である。

【図6】同じく、縦型TFTを製造するプロセス順序(4)を示す説明図である。

【図7】同じく、縦型TFTを製造するプロセス順序(5)を示す説明図である。

【図8】同じく、縦型TFTを製造するプロセス順序(6)を示す説明図である。

【図9】同じく、縦型TFTを製造するプロセス順序(7)を示す説明図である。

【図10】同じく、縦型TFTを製造するプロセス順序(8)を示す説明図である。

【図11】同じく、縦型TFTを製造するプロセス順序(9)を示す説明図である。

【図12】同じく、縦型TFTを製造するプロセス順序(10)を示す説明図である。

【図13】本発明に係わる第2の実施の形態を示すPIN型フォトダイオードを有する縦型TFTの構造図である。

【図14】同じく、等価回路図である。

【図15】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(1)を示す説明図である。

【図16】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(2)を示す説明図である。

【図17】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(3)を示す説明図である。

【図18】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(4)を示す説明図である。

10 【図19】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(5)を示す説明図である。

【図20】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(6)を示す説明図である。

【図21】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(7)を示す説明図である。

20 【図22】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(8)を示す説明図である。

【図23】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(9)を示す説明図である。

【図24】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(10)を示す説明図である。

30 【図25】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(11)を示す説明図である。

【図26】同じく、PIN型フォトダイオードを有する縦型TFTを製造するプロセス順序(12)を示す説明図である。

【図27】本発明に係わる第3の実施の形態を示す光電変換素子を有する縦型TFTの構造図である。

【図28】同じく、等価回路図である。

【図29】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(1)を示す説明図である。

【図30】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(2)を示す説明図である。

【図31】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(3)を示す説明図である。

【図32】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(4)を示す説明図である。

【図33】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(5)を示す説明図である。

【図34】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(6)を示す説明図である。

50 【図35】同じく、光電変換素子を有する縦型TFTを製造するプロセス順序(7)を示す説明図である。

【図 36】同じく、光電変換素子を有する縦型 T F T を製造するプロセス順序 (8) を示す説明図である。

【図 37】同じく、光電変換素子を有する縦型 T F T を製造するプロセス順序 (9) を示す説明図である。

【図 38】本発明に係わる第 4 の実施の形態を示す、半導体層および金属層を連続した縦型 T F T を製造するプロセス順序 (1) を示す説明図である。

【図 39】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (2) を示す説明図である。

【図 40】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (3) を示す説明図である。

【図 41】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (4) を示す説明図である。

【図 42】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (5) を示す説明図である。

【図 43】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (6) を示す説明図である。

【図 44】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (7) を示す説明図である。

【図 45】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (8) を示す説明図である。

【図 46】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (9) を示す説明図である。

【図 47】本発明に係わる第 5 の実施の形態における、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (1) を示す説明図である。

【図 48】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (2) を示す説明図である。

【図 49】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (3) を示す説明図である。

【図 50】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (4) を示す説明図である。

【図 51】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (5) を示す説明図である。

【図 52】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (6) を示す説明図である。

【図 53】同じく、半導体層と金属層を連続した縦型 T

F T を製造するプロセス順序 (7) を示す説明図である。

【図 54】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (8) を示す説明図である。

【図 55】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (9) を示す説明図である。

10 【図 56】本発明に係わる第 6 の実施の形態を示す、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (1) を示す説明図である。

【図 57】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (2) を示す説明図である。

【図 58】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (3) を示す説明図である。

【図 59】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (4) を示す説明図である。

20 【図 60】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (5) を示す説明図である。

【図 61】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (6) を示す説明図である。

【図 62】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (7) を示す説明図である。

30 【図 63】同じく、半導体層と金属層を連続した縦型 T F T を製造するプロセス順序 (8) を示す説明図である。

【図 64】本発明に係わる第 7 の実施の形態を示す、N I N 型光電変換素子を有する縦型 T F T の構造図である。

【図 65】同じく、N I N 型光電変換素子を有する縦型 T F T を製造するプロセス順序 (1) を示す説明図である。

40 【図 66】同じく、N I N 型光電変換素子を有する縦型 T F T を製造するプロセス順序 (2) を示す説明図である。

【図 67】同じく、N I N 型光電変換素子を有する縦型 T F T を製造するプロセス順序 (3) を示す説明図である。

【図 68】同じく、N I N 型光電変換素子を有する縦型 T F T を製造するプロセス順序 (4) を示す説明図である。

【図 69】同じく、N I N 型光電変換素子を有する縦型 T F T を製造するプロセス順序 (5) を示す説明図である。

50

23

【図 70】 同様に、NIN型光電変換素子を有する縦型 TFT を製造するプロセス順序 (6) を示す説明図である。

【図 71】 同様に、NIN型光電変換素子を有する縦型 TFT を製造するプロセス順序 (7) を示す説明図である。

【図 72】 同様に、NIN型光電変換素子を有する縦型 TFT を製造するプロセス順序 (8) を示す説明図である。

【図 73】 本発明に係わる第 1 および第 4 の実施の形態 10 における、縦型 TFT を用いた液晶ディスプレイ (第 8 の実施の形態) の模式図である。

【図 74】 本発明に係わる第 2 および第 5 の実施の形態 10 における、縦型 TFT を用いた液晶エリアセンサ (第 9 の実施の形態) の模式図である。

【図 75】 同様に、ここで採用された PIN 型フォトダイオードのエネルギーバンドを示す図である。

【図 76】 本発明に係わる第 2 および第 5 の実施の形態 20 における、縦型 TFT を用いた液晶エリアセンサ (第 10 の実施の形態) の模式図である。

【図 77】 同様に、ここで採用された光電変換素子のエネルギーバンドを示す図である。

【図 78】 本発明に係わる第 7 の実施の形態における、縦型 TFT を用いた液晶エリアセンサ (第 11 の実施の形態) の模式図である。

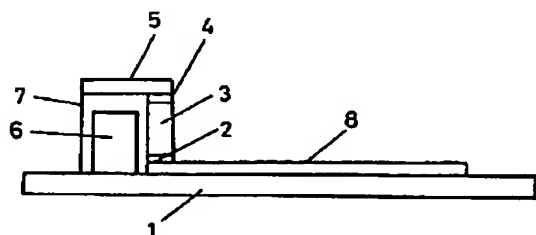
【符号の説明】

1、101、301、501 絶縁基板
2、102、302、502 n' 型アモルファスシリコン (a-Si)

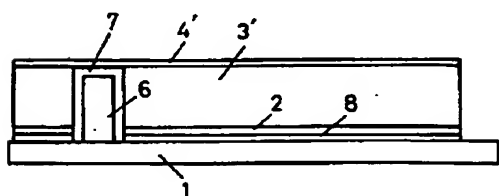
24

3、103、303、503 チャンネル層
4、104、304、504 n' 型 a-Si 層
5、105、305、505 上部電極層
6、106、306、506 ゲート電極 (層)
7、107、307、507 絶縁層
8、108、308、508 電極層
109 n' ガードリング層
110 光電変換層
111 p' ガードリング層
112 センサ電極層
309 絶縁層
310 光電変換半導体層
311 注入阻止層
312 センサー電極
400、600 TFT 部
410、601 光電変換部 (素子)
509 n' a-Si 層
510 光電変換層
512 センサー電極
20 700 信号線
801、901、1001 アンプ
802、902、1002 スイッチング素子
803、903、1003 スイッチング回路
804、904、1004 シフトレジスタ (など)
805、905、1005 電源
900 信号線
906 センサリフレッシュ用電源
907 スイッチング回路
1000 信号線

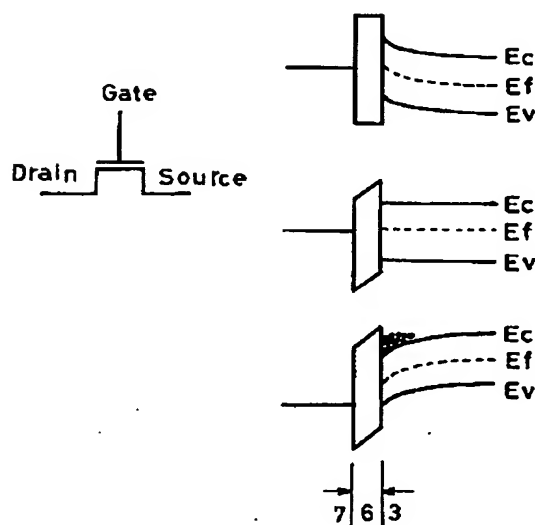
【図 1】



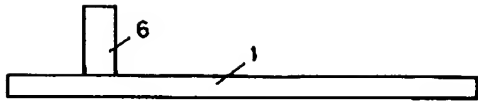
【図 10】



【図 2】

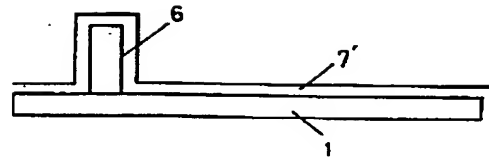


【図 3】



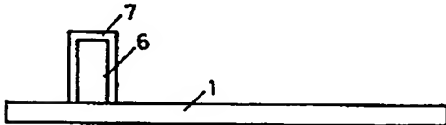
メタル層堆積

【図 4】



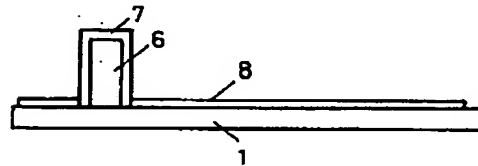
絶縁層堆積

【図 5】



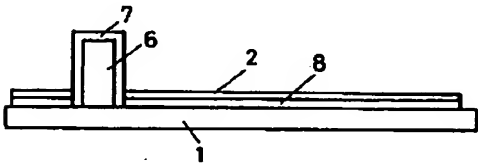
絶縁層エッチング

【図 6】

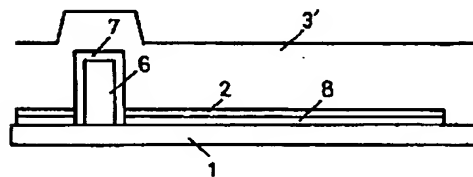


電極層堆積

【図 7】

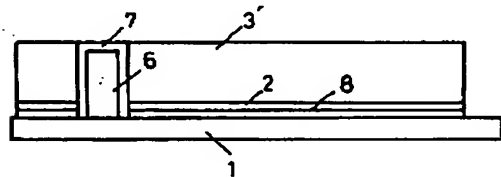


【図 8】

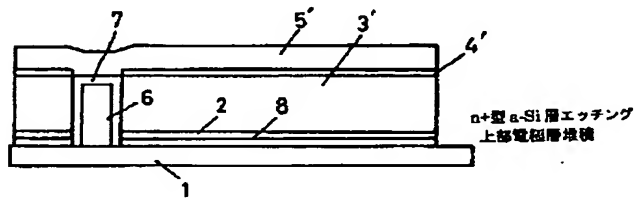


真性半導体層堆積

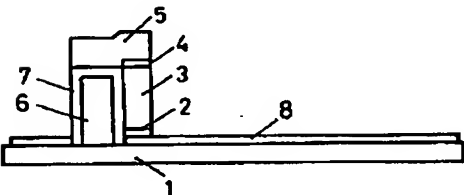
【図 9】

n+層堆積
エッチング

【図 11】

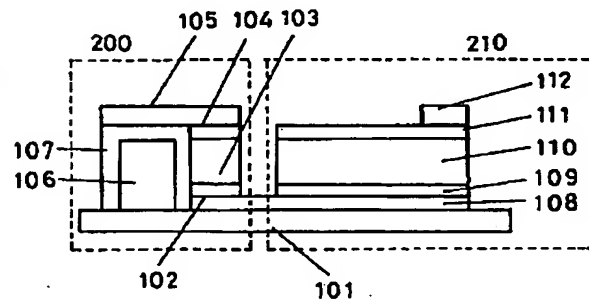
n+型 a-Si 層エッチング
上部電極層堆積

【図 12】

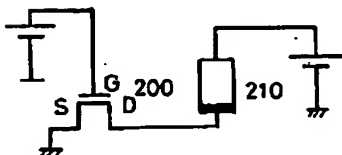


【図 13】

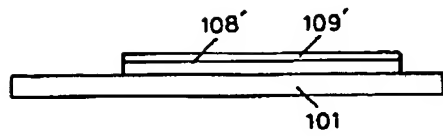
素子間分離



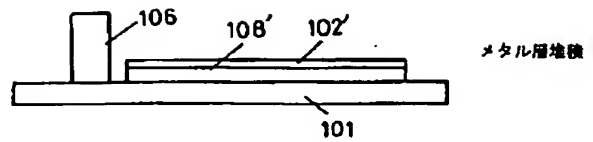
【図 14】



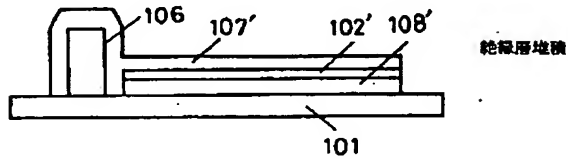
【図 15】



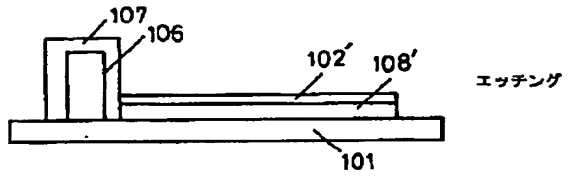
【図 16】



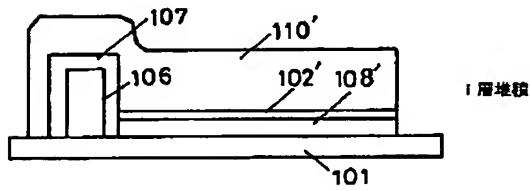
【図 17】



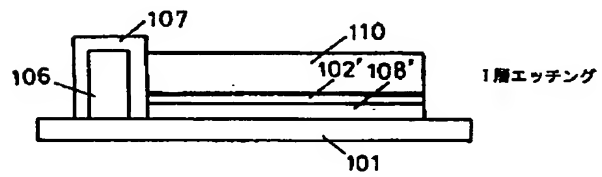
【図 18】



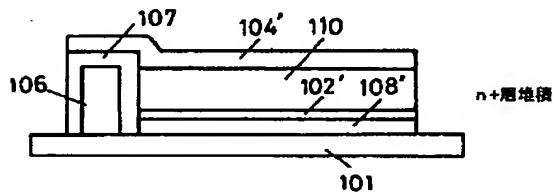
【図 19】



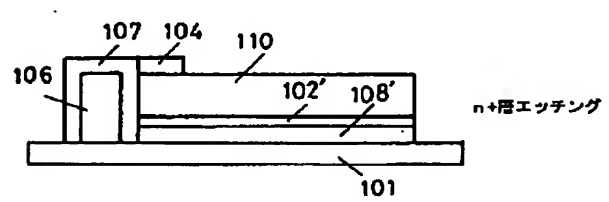
【図 20】



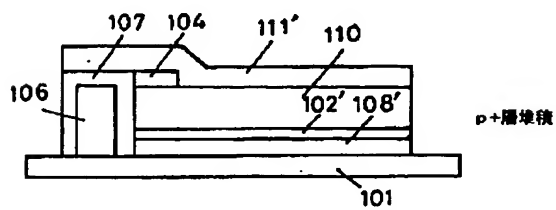
【図 21】



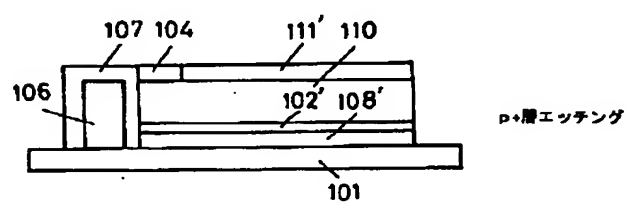
【図 22】



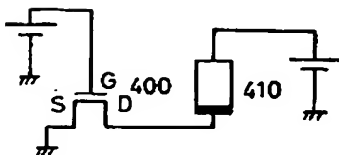
【図 23】



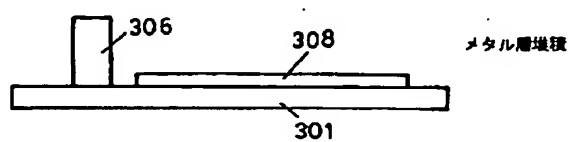
【図 24】



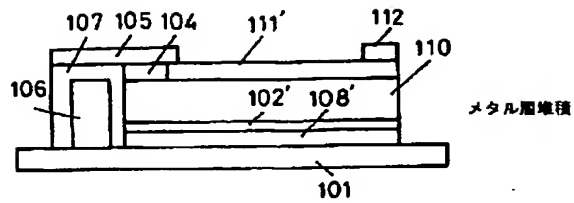
【図 28】



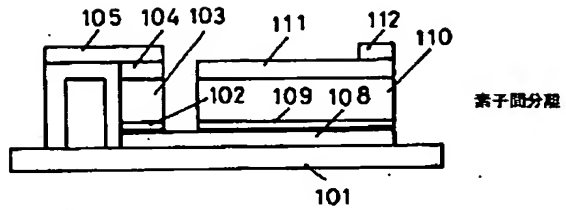
【図 29】



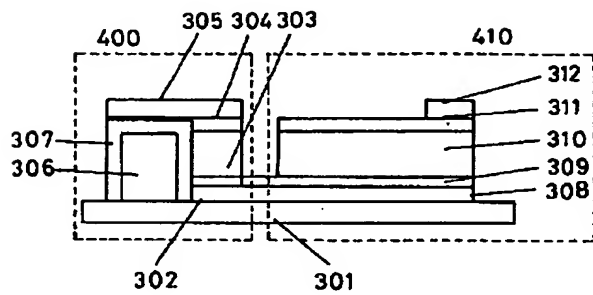
【図 25】



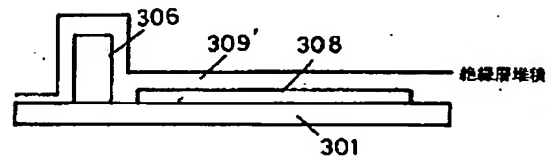
【図 26】



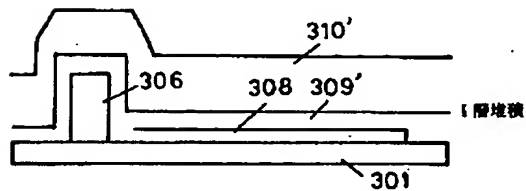
【図 27】



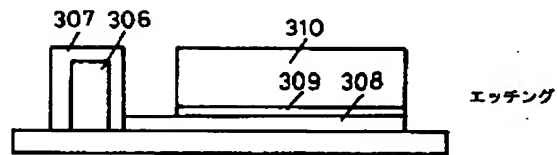
【図 30】



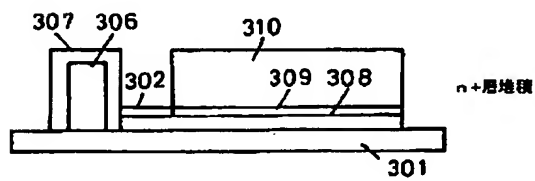
【図 31】



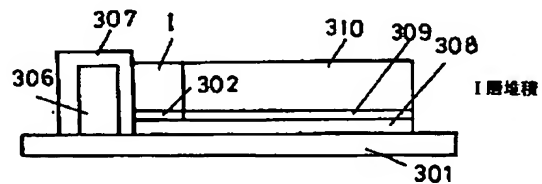
【図 32】



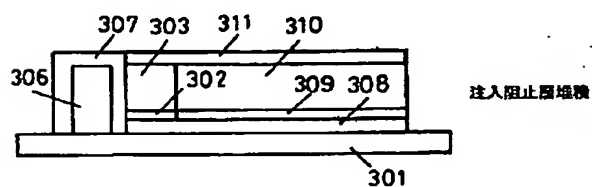
【図 33】



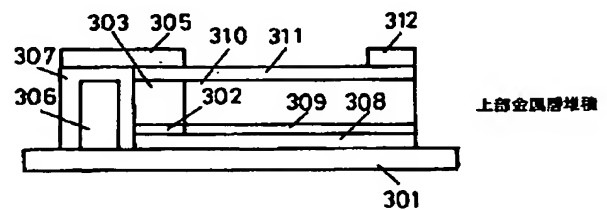
【図 34】



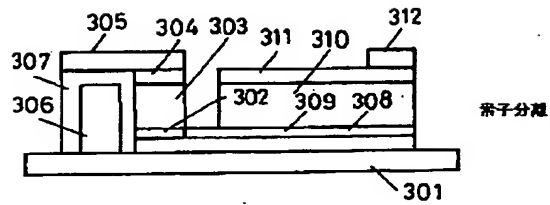
【図 35】



【図 36】



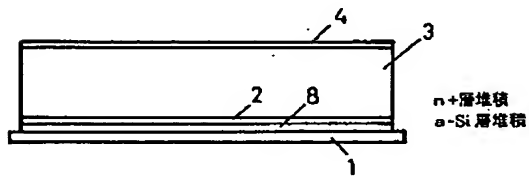
【図 37】



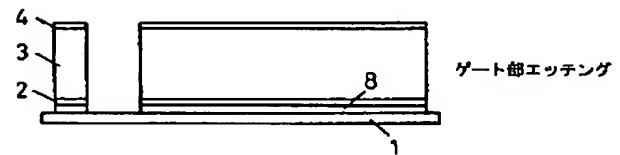
【図 38】



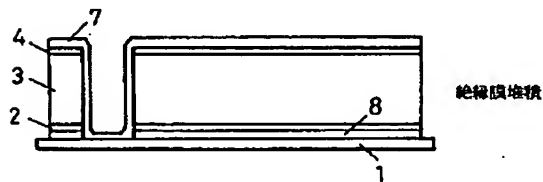
【図 39】



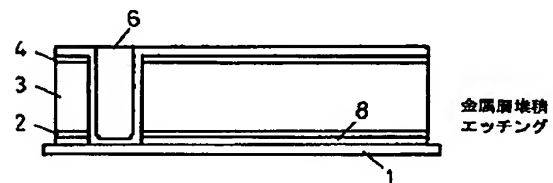
【図 40】



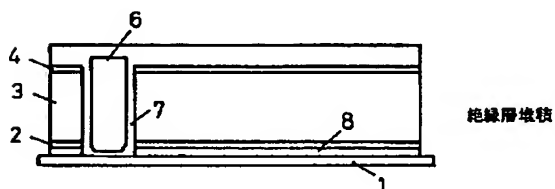
【図 41】



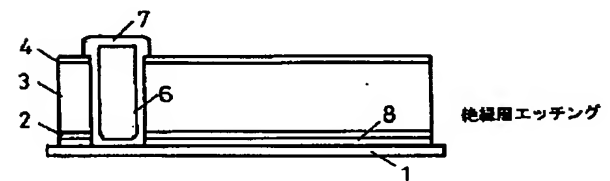
【図 42】



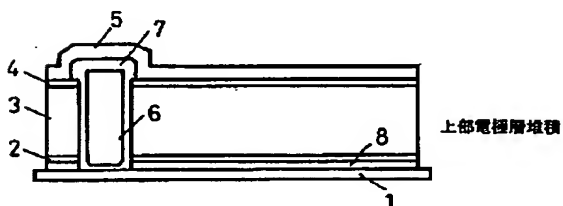
【図 43】



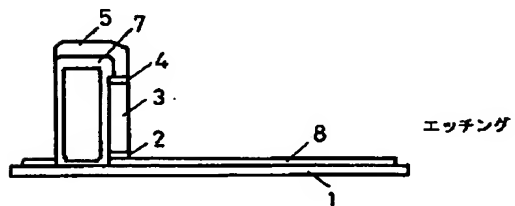
【図 44】



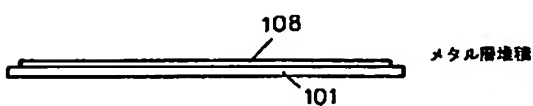
【図 45】



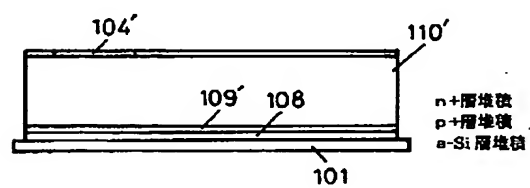
【図 46】



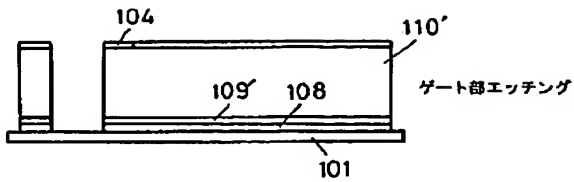
【図 47】



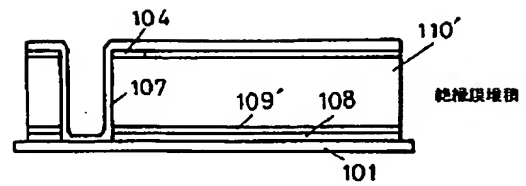
【図 48】



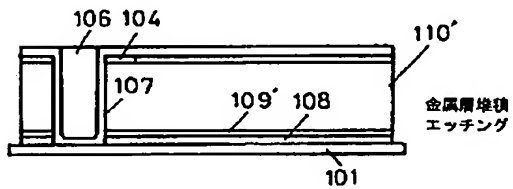
【図 49】



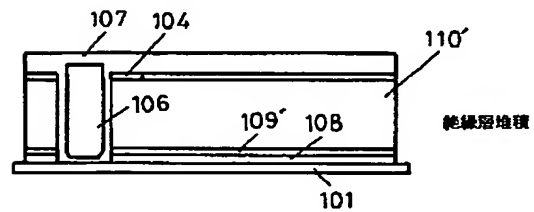
【図 50】



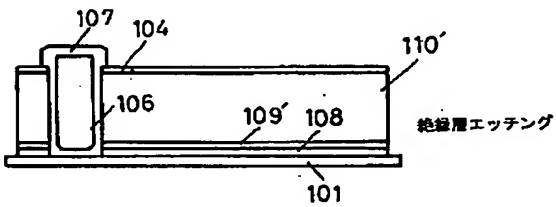
【図 51】



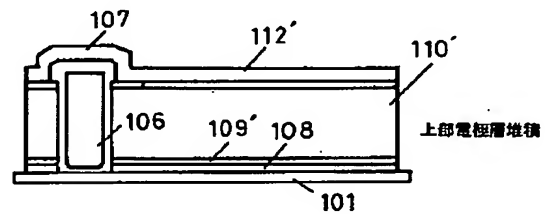
【図 52】



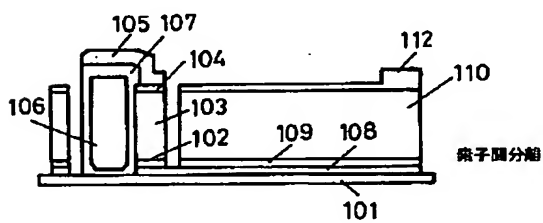
【図 53】



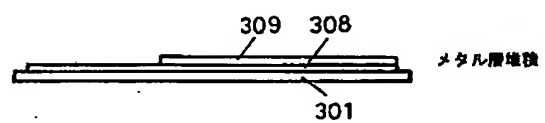
【図 54】



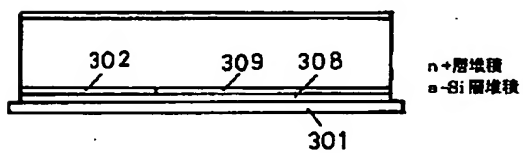
【図 55】



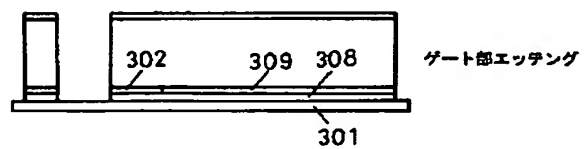
【図 56】



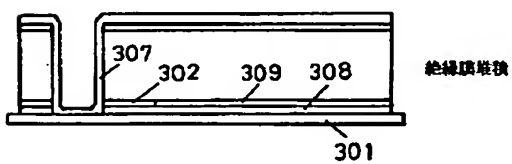
【図 57】



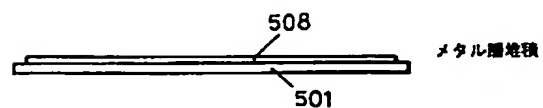
【図 58】



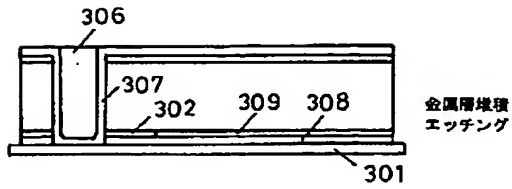
【図 59】



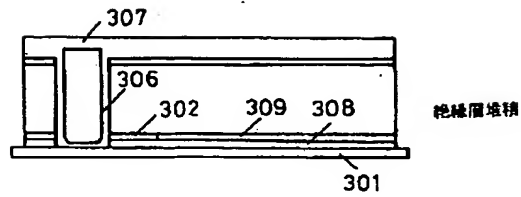
【図 65】



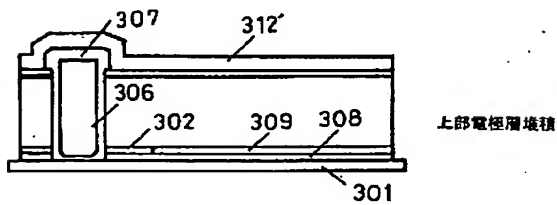
【図 6 0】



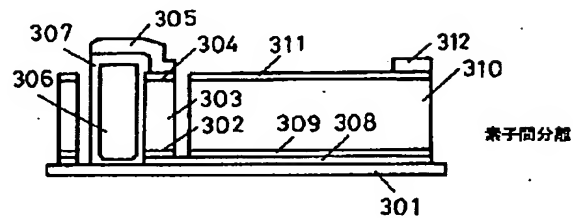
【図 6 1】



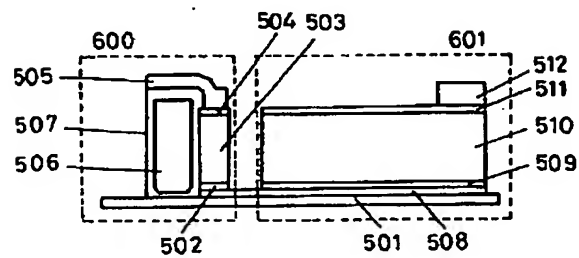
【図 6 2】



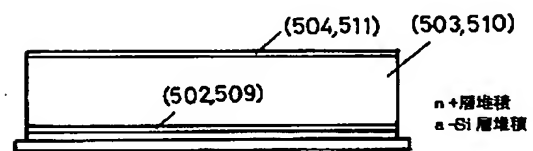
【図 6 3】



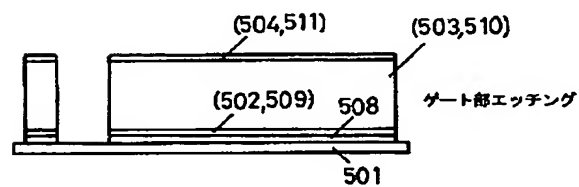
【図 6 4】



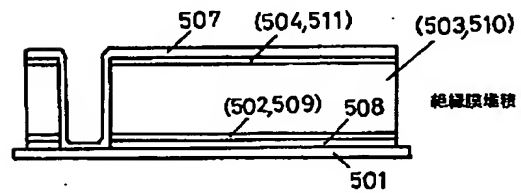
【図 6 5】



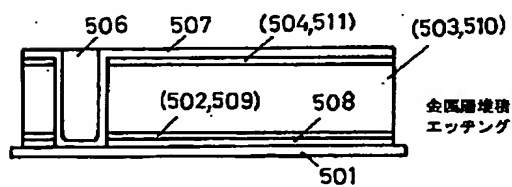
【図 6 7】



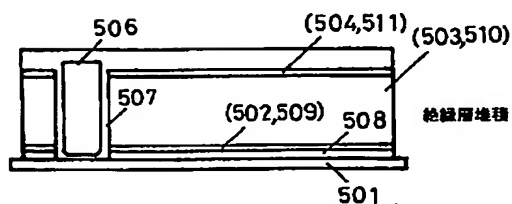
【図 6 8】



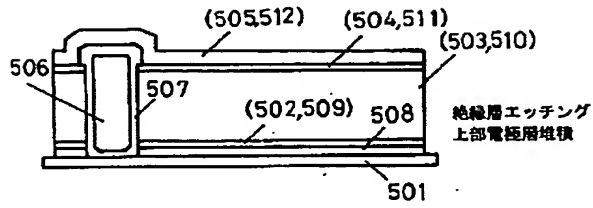
【図 6 9】



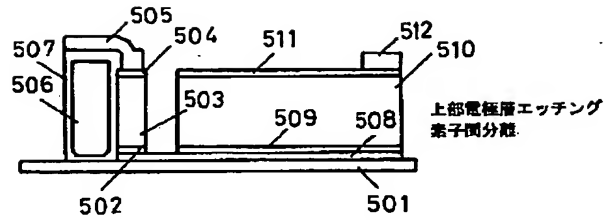
【図 7 0】



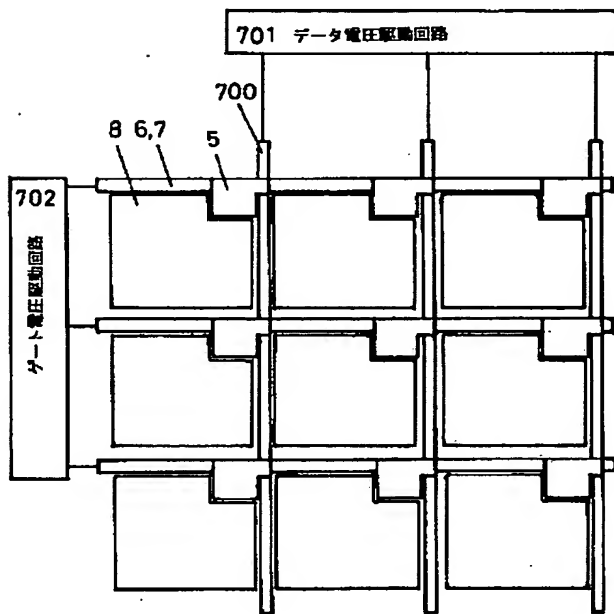
【図 7 1】



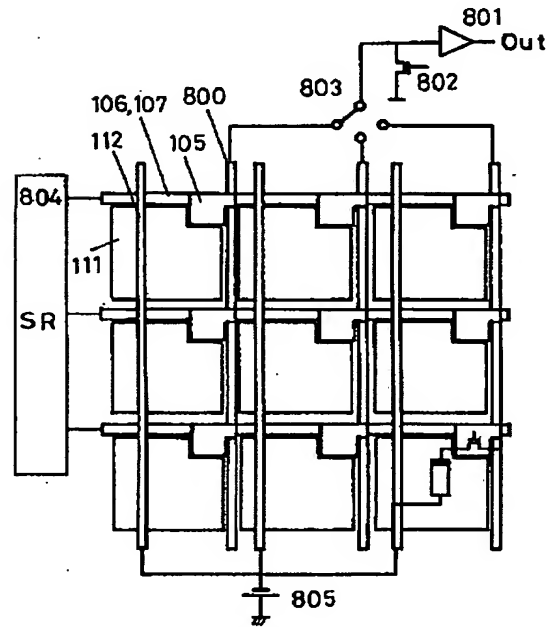
【図 7 2】



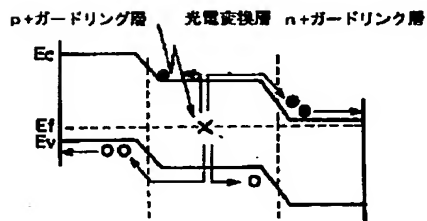
【図 7 3】



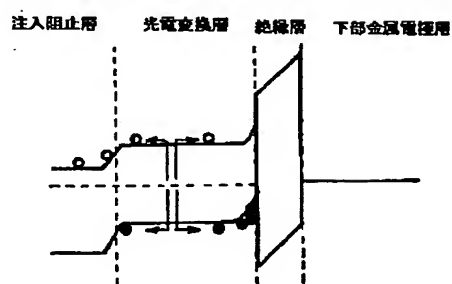
【図 7 4】



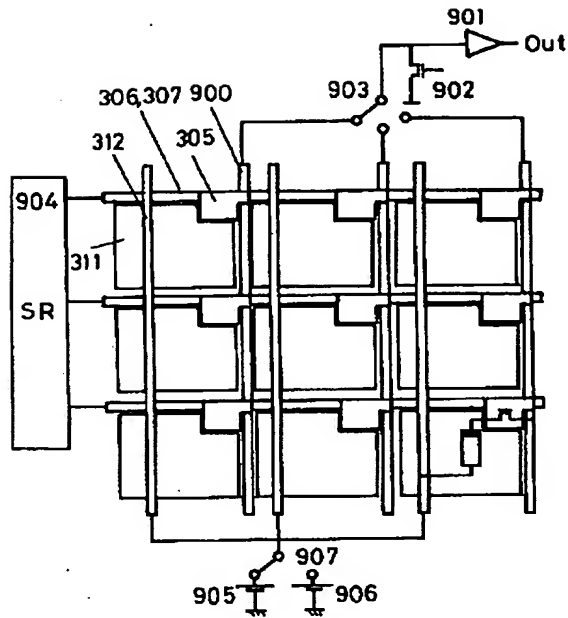
【図 7 5】



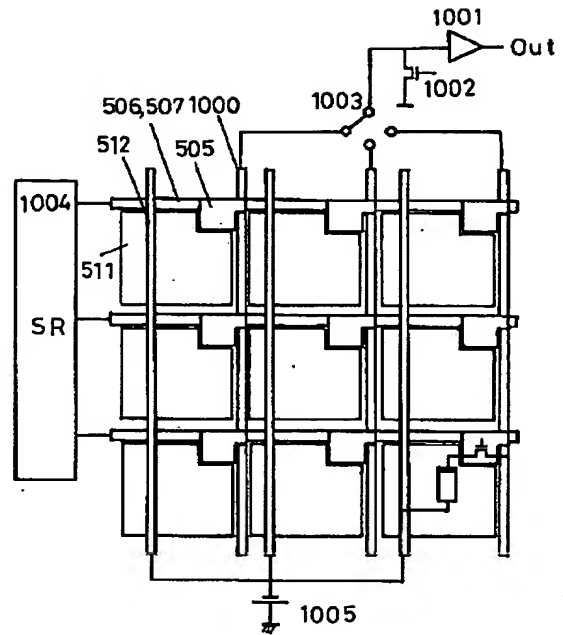
【図 7 7】



【図76】



【図78】



フロントページの続き

Fターム(参考) 2H092 JA28 JA37 JA38 JA41 JA42
 JB56 KA05 KA12 KA24 LA02
 LA16
 4M118 AA08 AA10 AB01 AB10 BA05
 CA05 CA07 CA14 CA32 CB06
 CB14 DD12 EA01 EA14 FB09
 FB13 FB21
 5C094 AA04 AA05 AA10 AA13 BA03
 BA43 CA19 DA13 EA04 FA01
 FA02 FB12 FB14 FB15 GB10
 5F088 AA03 AB05 BB03 CB04 CB07
 CB14 EA08 EA20 FA04 FA05
 GA02 LA07
 5F110 AA03 AA04 BB01 BB10 BB13
 CC09 DD02 EE03 EE04 EE44
 EE45 FF03 FF29 GG02 GG12
 GG13 GG15 GG35 GG44 HK03
 HK04 HK07 HK09 HK16 HK21
 HK25 HK33 HK34 NN02 NN24
 NN35 NN71